

KERC Issue Report

AI 반도체 연구 발전 동향

벨기에 imec 중심의 연구 동향과 한-EU 협력·투자 제언



AI 반도체 연구 발전 동향

벨기에 imec 중심의 연구 동향과 한-EU 협력 · 투자 제언

[담당자] 임 지 윤 연구원

[발행인] 이 대 명 센터장

[발행일] 2026.04.20.

[발행처] 한-EU 연구협력센터

Rue de la science 14A

1040 브뤼셀, 벨기에

<http://www.k-erc.eu>

+32 (0)2 880 39 06

본 자료는 한-EU 연구협력센터(KERC)가 발행한 보고서로 상업적 혹은 정치적 목적의 이용을 제외하고 누구나 자유롭게 열람·인용·재가공 할 수 있습니다.

Contents

I. 서론	4
1. 글로벌 AI 반도체 패권 경쟁과 대한민국의 전략적 변곡점	4
II. 본론	6
1. IMEC AI 기술 로드맵 및 차세대 반도체 연구 동향 분석	6
2. 한-EU (한-imec) 연구 투자 및 협력 의제 제언	8
III. 결론	12
1. 시사점	12
2. 결론 및 정책 건의	13
붙임	14
1. IMEC의 지속가능한 반도체 기술 및 시스템(SSTS) 분야 동향	14

I. 서론

1] 글로벌 AI 반도체 패권 경쟁과 대한민국의 전략적 변곡점

① 컴퓨팅 패러다임의 변화와 도전

- 2026년 현재, 인공지능(AI: Artificial Intelligence) 기술은 단순한 소프트웨어의 수준을 넘어 하드웨어와 결합된 ‘임베디드(Embedded) AI’ 시대로 진입 중
- 초거대 언어 모델(LLM: Large Language Model)의 경량화와 온디바이스 AI(Edge Device)로의 패러다임 전환은 AI 반도체에 전례 없는 수준의 연산 효율과 하드웨어 사양을 요구
- 기존의 GPU(Graphics Processing Unit) 중심 아키텍처는 전력 효율 및 물리적 집적도 측면에서 한계를 보이고 있어, 이를 타개하기 위한 ‘파괴적 혁신 기술(Disruptive Technology)’에 대한 연구가 전 세계적으로 활발

② 벨기에 imec의 AI 반도체 분야 전략적 위상과 한-EU 협력의 필요성

- 벨기에의 imec은 글로벌 반도체 R&D 생태계의 허브 역할 수행
- imec은 특정 기업이나 국가의 이해관계에 얽매이지 않는 중립적 개방형 혁신 플랫폼으로서, ASML, 삼성, TSMC, 인텔 등 글로벌 반도체 생태계 리더들이 모여 차세대 반도체 기술의 표준을 정립하는 핵심 요충지
- 대한민국은 한-EU 협력 의제를 상시 발굴하고 현행화함으로써, 미·중 갈등에 따른 공급망 리스크를 분산하고 유럽의 원천 기술을 확보함으로써 국내 반도체 산업의 기술적 헤게모니를 공고히 해야 함

II. 본론

① IMEC AI 기술 로드맵 및 차세대 반도체 연구 동향 분석

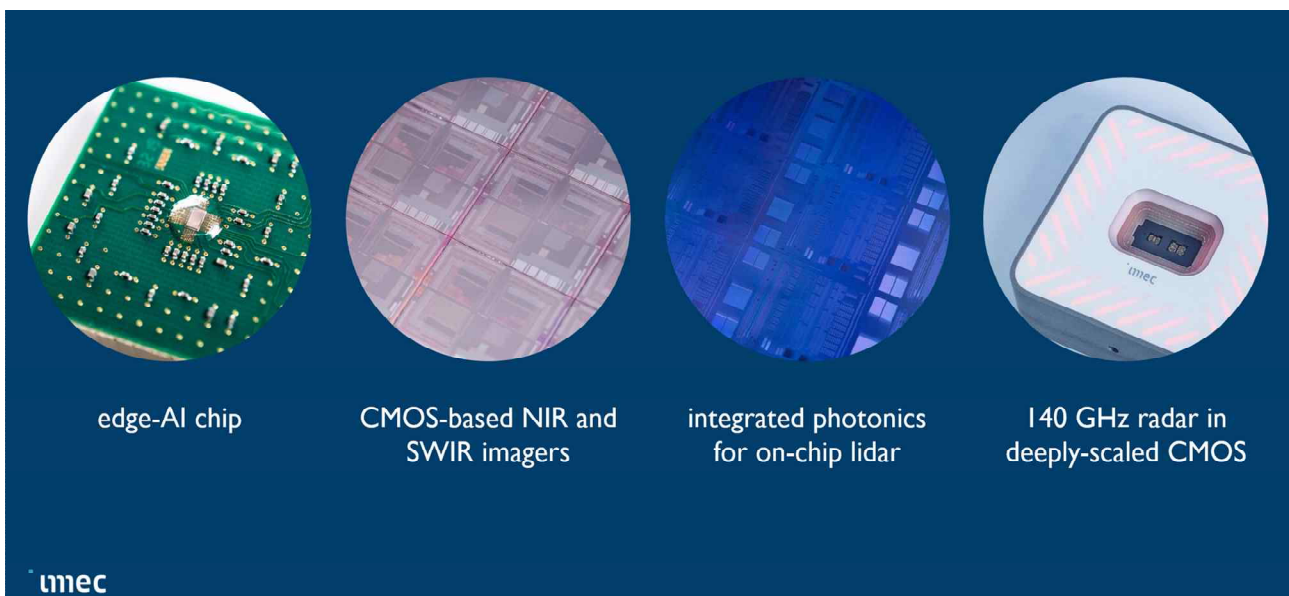
① 초고효율·초저전력 연산 소자 및 아키텍처 혁신

- imec은 '무어의 법칙' 이후를 대비하기 위한 소자 혁신을 다각도로 진행 중
 - 뉴로모픽 및 PIM(Processing-In-Memory) 기술: 인간의 뇌 구조를 모사한 뉴로모픽 컴퓨팅은 연산과 저장이 분리된 기존 폰 노이만 병목을 해결할 수 있음. imec은 강유전체(Ferroelectric) 물질 기반의 FeFET 및 OxRAM 등 차세대 메모리 소자를 활용하여, 시냅스 가소성을 하드웨어적으로 구현하는 연구에 집중하고 있으며, 이를 통해 모바일 및 로봇과 같은 엣지 환경에서 극소 전력으로 실시간 추론이 가능한 혁신적 기술 토대를 마련
 - 3D 적층 및 칩렛(Chiplet) 아키텍처: 서로 다른 공정으로 제작된 칩을 하나로 통합하는 칩렛 기술은 비용 절감과 성능 극대화를 동시에 달성 가능. imec은 이종 집적(Heterogeneous Integration)을 위한 하이브리드 본딩 기술과 실리콘 관통 전극(TSV: Through Silicon Via)의 미세화를 통해 단일 패키지 내 컴퓨팅 밀도를 극대화하는 로드맵 제시

② 지능형 센싱과 Edge-AI의 통합(Intelligent Sensing)

- imec은 AI 연산 소자와 센서의 통합 기술에 독보적 경쟁력 보유

<imec의 AI 연산 소자-센서 통합 기술 예시>



- 근/단파 적외선(N/SWIR: Near/Shortwave Infrared) 감지 차세대 이미지 센서: Silicon 기반 CMOS 공정을 활용하여 단파 적외선(SWIR) 영역까지 감지하는 이미지 센서를 개발. 이는 야간 자율주행, 식품의 신선도 판별, 농업용 드론 등 광범위한 분야에 적용 가능하며, 특히 센서 단에서 AI 연산을 직접 수행하는 'On-sensor AI' 기술은 데이터 전송 지연을 획기적으로 개선 가능
- 140GHz CMOS 레이더 기술: 초미세 공정을 적용한 고주파 레이더는 수 밀리미터 단위의 미세한 움직임을 감지. 이는 헬스케어 분야에서 비접촉식 생체 신호 모니터링이나 스마트 홈의 인간 행동 인식을 위한 핵심 기술
- 광집적회로(Photonics) 및 온칩 라이다(On-chip LiDAR): 전기 신호 대신 빛을 이용해 거리를 측정하고 데이터를 전송하는 포토닉스 기술은 자율주행차의 '눈'인 라이다를 단일칩 수준으로 소형화하고 제조원가를 획기적으로 낮추는 핵심 동력

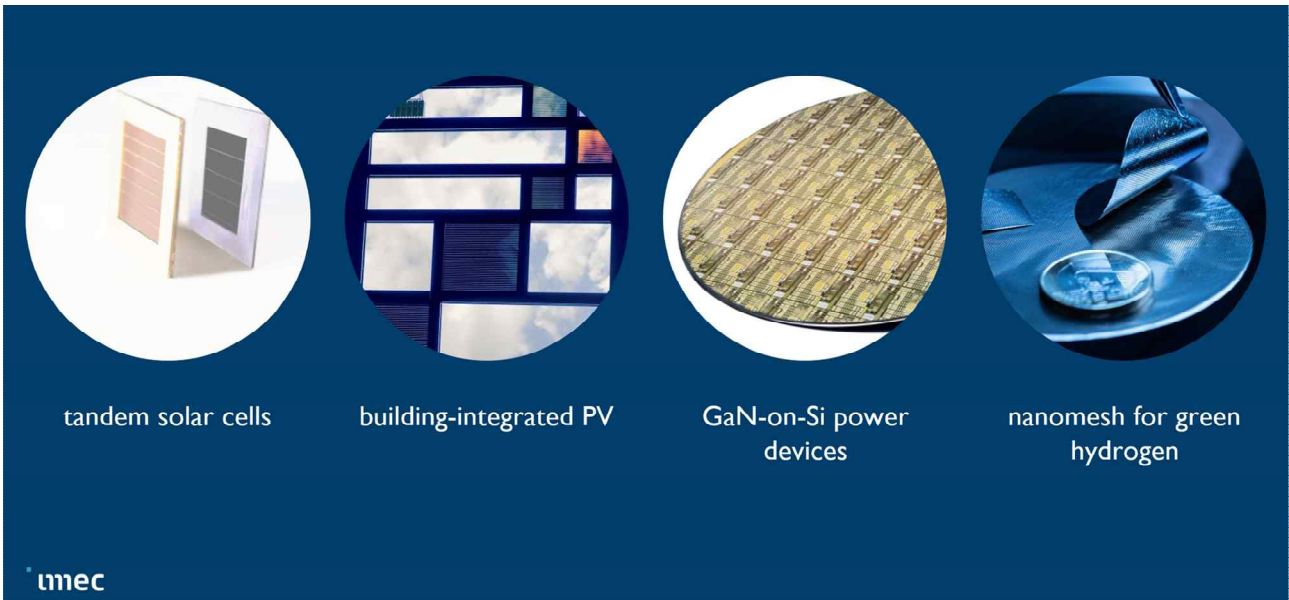
③ 미래 도전 과제: 초전도 및 양자 컴퓨팅

- imec은 양자 컴퓨팅의 상용화를 위한 하드웨어 플랫폼 연구를 선도
 - 초전도 기반 연산 및 기억 소자: 양자 컴퓨팅의 한 분류로, 극저온에서 저항없이 동작하는 초전도 소자는 연산 속도를 극대화하고 전력 소모를 0에 가깝게 줄일 수 있는 장점을 지님. imec은 이를 위한 냉각 시스템 통합 및 초전도 로직 설계 IP를 구축하여 양자 컴퓨팅 하드웨어의 신뢰성을 제고
 - Cryo-CMOS 제어 반도체: 양자 큐비트(Qubit)를 제어하기 위해서는 극저온에서도 안정적으로 동작하는 제어용 반도체가 필수. imec의 Cryo-CMOS 기술은 양자 컴퓨터의 확장성 문제를 해결하고 실용화를 앞당기는 핵심 기술

④ 지속 가능한 에너지 및 그린 반도체(Green AI)

- imec은 방대한 규모의 AI 연산용 에너지 소모 문제를 반도체 기술혁신을 통해 혁신적으로 절감하는 '그린 딥테크'의 중추적 역할 수행

<imec의 녹색 에너지 전환 기술 예시>



- **GaN-on-Si 전력 반도체:** 전력 효율이 높은 질화갈륨(GaN) 소자를 8인치/12인치 실리콘 웨이퍼로 구현하는 기술을 고도화하여 전기차용 인버터 및 데이터센터 파워 서플라이의 에너지 손실을 30% 이상 절감
- **나노메쉬(Nanomesh) 그린 수소 기술:** 반도체 나노 공정으로 제작된 고표면적 전극을 활용하여 수전해 효율을 높임으로써, 그린 수소 생산의 경제성 제고에 기여

② 한-EU (한-imec) 연구 투자 및 협력 의제 제언

※ 상기 열거한 imec의 AI 관련 기술 개발 동향을 바탕으로, 대한민국의 AI 반도체 기술과의 협력 방안을 제안(우선순위 순)

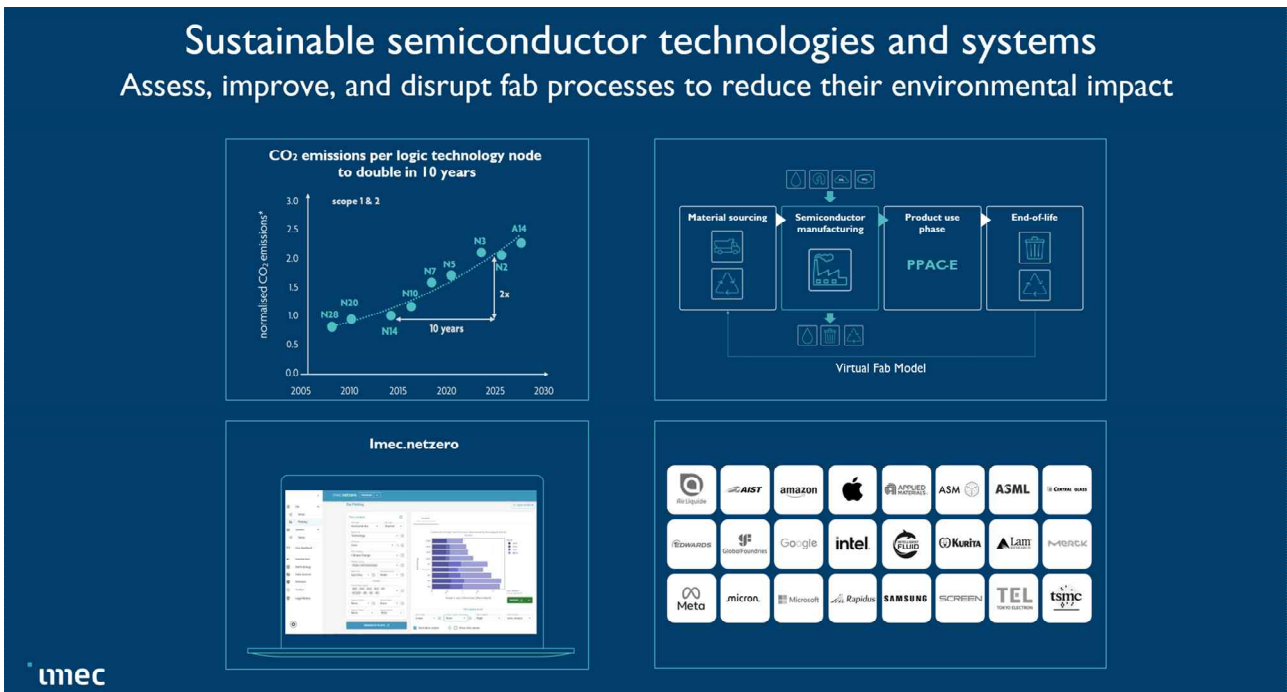
① ‘Sustainable Semiconductor Hub’ 구축

- imec의 SSTS(지속가능한 반도체 기술 및 시스템) 프로그램이 축적한 탄소 배출 넷제로 연구 성과를 국내 파운드리 및 메모리 양산공정 등에 적용 가능. 이를 통해 저전력 AI 가속기 생산을 위한 한국형 Green Fab 표준 모델을 수립하고 글로벌 친환경 반도체 제조 인증체계를 선제적으로 구축 가능

☞ ‘Sustainable Semiconductor Hub’ 구축

- (의제) 저전력 AI 가속기 생산을 위한 ‘Green Fab’ 공정 표준 공동 개발
- (연구 동향) 지속가능한 반도체 기술 및 시스템 개발 보고서 참조 ※붙임 참조
- (실행 방안) 과기부 주도로 국내 주요 반도체 기업/연구소와 협력하여 imec의 환경 영향 평가 툴(imec.netzero)을 한국형 공정에 최적화하고, 친환경 반도체 제조 인증(Eco-labeling) 표준화 주도
- (파급 효과) 한국 기술에 친화적인 글로벌 Green Fab 표준 채택을 통해 친환경 반도체 기술 경쟁력 강화 및 후발 기술 추격 비용 절감

<imec의 지속가능한 반도체 기술 및 시스템(SSTS) 프로그램 개요>



② 지능형 센싱(Intelligent Sensing)과 Edge-AI 통합 과제 발굴

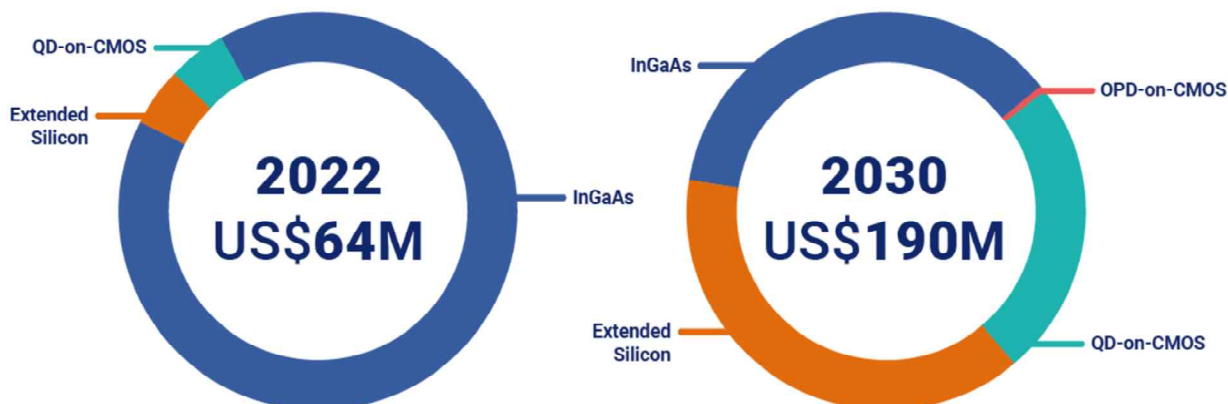
- 박막 기반(OPD, QD) 이미지 센서 시장이 확대될 것으로 전망
- 국내 주요 반도체 기업·연구소가 imec과 협력해 근/단파 적외선 이미지 센서 기반 머신비전(Machine Vision)을 공동 개발하여 야간 자율주행, 식품의 신선도 판별, 농업용 드론 등의 분야에 적용 가능
- 특히 센서 단에서 직접 AI 연산을 수행하는 ‘On-sensor AI’ 기술 개발을 통해 데이터 전송 지연 저감 가능

☞ 지능형 센싱과 Edge-AI의 통합 과제 발굴

- (의제) 근/단파 적외선 기반 Machine Vision 및 Edge-AI 통합 연구
- (연구 동향) 기존 InGaAs image sensor 대비 박막 기반(OPD, QD) 이미지 센서 시장 확대 전망
- (실행 방안) 과기부 주도로 국내 주요 반도체 기업/연구소와 협업하여 imec의 근/단파 적외선 이미지 센서 기반의 On-sensor AI 시스템 공동 개발

<단파 적외선 이미지 센서 시장 추이>

SWIR Imaging Market Forecast



Source: IDTechEx

The percentage increase is $\cong 197\%$

③ 미래 원천 기술 선점을 위한 ‘High-Risk & High-return’ 투자 확대

- 단기적 상용화 중심의 접근을 넘어 10~20년 중장기 관점에서 초전도 및 양자 반도체 분야 협력을 강화하고 원천 특허 및 수준 높은 학술성과를 확보하여 미래 원천기술 선점 도모

☞ 미래 원천 기술 선점을 위한 ‘High-Risk (& High-return)’ 투자 확대

- (의제) 양자 컴퓨팅 제어용 Cryo-CMOS 반도체 및 신소재 기반 뉴로모픽 소자 개발
- (실행 방안) 기 설립된 양자협력센터 등을 통해 학계와 imec 간의 공동 연구 및 원천 특허 확보 독려

④ 글로벌 딥테크 벤처 육성 및 실증 투자

- imec의 벤처 에코시스템(Deep Tech Ventures)과 산업용 팹 인프라를 연계한 공동 투자·실증을 통해 국내 AI 반도체 딥테크 스타트업의 글로벌 시장 진출 기반 구축

📌 글로벌 딥테크 벤처 육성 및 실증 투자

- (의제) 'Deep Tech Korea-EU' 전용 펀드 조성 및 imec 인프라 활용 지원
- (실행 방안) imec.xpand(독립 VC 펀드)와 협업을 통한 국내 유망 AI 반도체 스타트업에 대한 공동 투자를 추진하고, 이들이 imec의 산업용 팹 (Industry-grade tools)에서 시제품을 생산(Pilot Production)할 수 있도록 지원
- ※ imec 지원 스타트업의 생존율은 82%에 달하며, 현재까지 340개 이상의 기업이 2,800개 이상의 양질의 일자리를 창출

<imec의 Deep Tech Venture 시스템 개요>

Imec as a deep tech venture development engine

Value for the venturing ecosystem

- 
Prototyping on industry-grade tools & facilities
- 
Low-volume pilot production
- 
Access to leading researchers and developers covering all deep tech areas
- 
Access to imec's ideas, IP, knowhow for venturing
- 
Leverage imec's ecosystem for technological and commercial collaborations



III. 결론

① 시사점

① 기술 이전(Transfer)에서 공동 창출(Creation)로의 패러다임 전환

- 한국은 과거 기술도입/추격자에서 메모리 제조와 파운드리 공정 기술을 선도하는 기술 종주국으로 도약하였고, imec은 그들의 혁신적 아이디어가 실제 양산 가능한 칩으로 구현할 수 있는 역량있는 파트너가 필요
- 이에 따라, 우리의 제조 역량 및 반도체 생태계를 레버리지 삼아, imec의 핵심 IP 설계 단계부터 깊숙이 참여하는 '선제적·장기적 파트너십'은 imec의 정체성에 잘 부합하는 전략으로 평가됨

② 인재 육성의 심층·다변화

- imec은 한국과 나노종합기술원(NNFC) 인턴 프로그램 등을 통해 꾸준한 인력 교류를 시행 중
- 이와 같은 단기 파견형 교류를 넘어, imec과 국내 대학을 연계한 공동 학위 과정과 같은 제도적 협력모델을 통해 앞서 제시한 선제적·장기적 파트너십을 실질적으로 구현할 수 있음

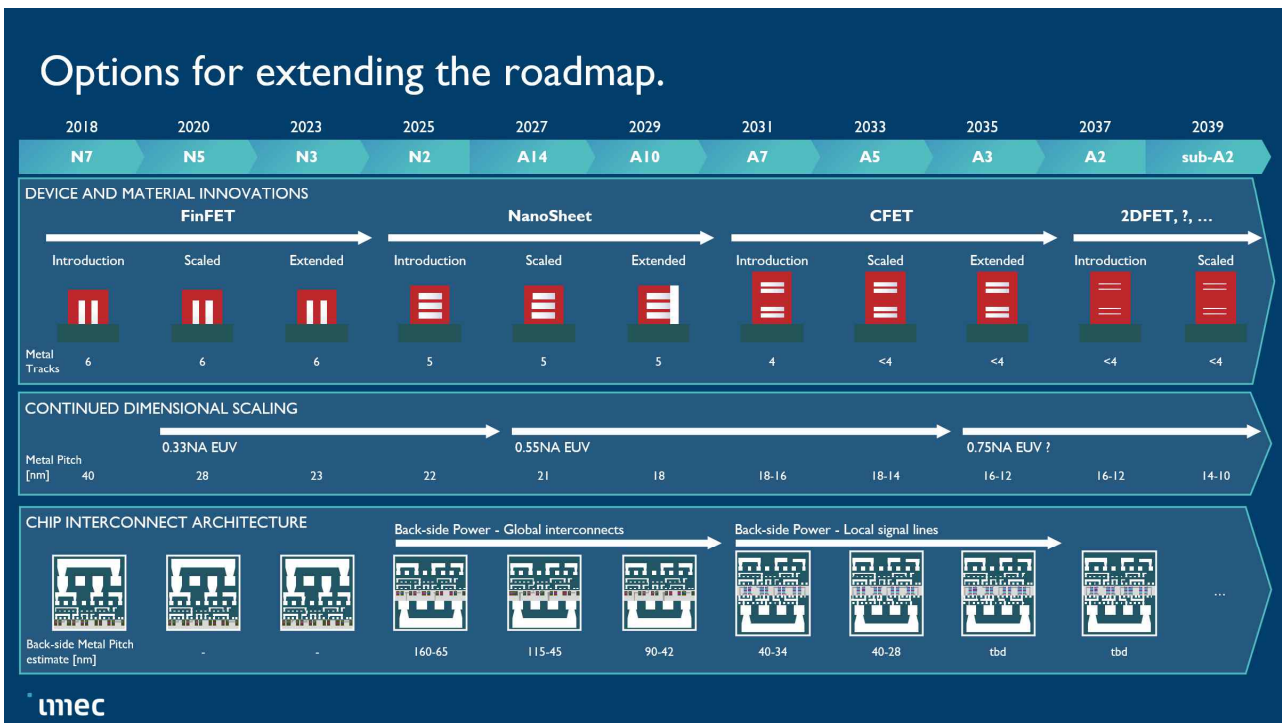
③ 정부 산하 협력 기관의 역할: 기술 외교 및 안전하고 지속가능한 R&D 환경 조성

- 글로벌 기술 패권 경쟁 속에서 연구자들은 지식재산권 보호, 국가 간 수출 규제 등 다양한 법적·제도적 이슈에 직면
- 이에, 과기부 및 산하 협력기관은 연구자들이 안심하고 imec과 협력할 수 있도록, 선제적인 법적·제도적 가이드라인을 마련하는 역할을 수행할 필요가 있음. 예를 들어, '한-EU 반도체 기술 외교 채널의 상설화'와 같은 협력 메커니즘 구축을 고려해 볼 수 있음

2 결론 및 정책 건의

- 본 보고서는 한국이 AI 반도체 기술 분야에서 유럽, 특히 imec과 협력을 어떻게 강화할 수 있는지를 중점적으로 다룸
- 장기적 파트너십과 중·장기 R&D 과제를 중시하는 imec의 특성을 고려하여, 장기 R&D 과제 확보 및 벨기에 거점 협력기관의 지속적 운영, 아울러 imec의 핵심 활동 중 하나인 신기술 표준화 활동에 대한 적극적인 참여를 통해, 한국 반도체 기술에 친화적인 장기 기술 로드맵 구축을 지향하는 '기술 외교' 차원의 정책 추진을 건의함

<imec의 반도체 기술 개발 로드맵>



※ 소자 및 소재 혁신(상), 극미세 패턴 기술 개발(중), Chip Interconnect 아키텍처(하)

※ 본 자료는 유럽의 AI 반도체 연구 발전 방향·동향 및 한-EU 연구 투자 및 협력에 대한 제언을 중심으로, imec 소속 한인 연구자가 작성한 내용을 토대로 KERCO가 일부 수정·보완하여 작성

<개요>

- 반도체 산업은 급격히 성장하고 있으며, 이로 인해 환경에 끼치는 영향 역시 증가하고 있음
- 이 보고서는 반도체 제조 공정 모사를 통해 환경 가스, 화학 물질 사용 및 물 소비에 가장 큰 영향을 미치는 반도체 제조 공정을 식별하는 정량화 기술 개발 동향을 소개
- 공정 및 재료 사용 최적화 등의 환경 영향성을 완화하기 위한 전략 소개
- 리소그래피, 식각 및 습식 공정 개선의 실제 사례를 통해 기후 위기를 감안한 제조 공정의 개발이 반도체 산업의 전반적인 환경 발자국을 어떻게 줄일 수 있는지에 대한 구체적 예시 소개

<초록>

반도체 산업은 탄소 배출뿐만 아니라 에너지, 화학 물질 및 물 등¹⁾의 자원에 대한 대량 소비로 인해 큰 환경 발자국(environmental footprint) 을 남기는 것으로 알려져 있다²⁾. 늘어나는 chip 수요를 따라 이에 대한 생산이 증가하면서, 반도체 칩 생산에 따른 환경 영향성에 대한 고려는 지속 가능한 우리의 미래를 위해 중요해지고 있다. 따라서 저자는 이 보고서를 통해 지속 가능성 시나리오를 분석하고 환경 영향성이 큰 공정을 식별하는 정량화 전략에 대해 소개하고자 한다. 공정 조건을 최적화하고, 재료 활용도를 개선하고, 환경 영향성이 적은 대안의 통합을 통해 반도체 제조업체가 환경 발자국을 저감시킨 사례를 구체적인 예시를 들어 살펴볼 것이다. 극자외선 선량 감소, 식각을 위한 TAP (Transient Assisted Processing) 및 FOM (Hydrofluoro-ozonated) 혼합물 세척과 같은 실제 사례를 통해 공정 최적화가 기술 진보를 저해하지 않으면서 탄소 배출량을 줄이고 지속 가능성을 개선할 수 있는 예시로서 소개된다.

1) 전력 소비는 탄소 발자국(Scope 2)의 주요 원인이지만 이는 지역별로 어떤 종류의 에너지를 사용하느냐에 따라 달라짐(ex. 친환경 에너지 사용 시 감소)

2) 그 외에도 분진, 폐수 및 고형 폐기물 등을 통해 환경에 영향을 미침

1. 서론

반도체 산업은 급속한 성장을 보이고 있다. 2024년 6,276억 달러로 추산되는 세계 칩 시장은 데이터 센터, 무선통신 및 전동 시장의 수요 증가에 따라 2030년까지 1조 달러를 초과할 것으로 예상된다³⁾⁴⁾. 동시에 AI 모델 구동 칩은 인공지능 기반 데이터센터의 총 탄소 발자국의 30%를 차지하는 내재 배출(칩 운영이 아닌 칩 자체의 제조와 관련된 배출량)을 발생시키는 것으로 알려져 있기 때문에 AI 인프라의 성장은 반도체 산업의 환경 영향성을 증폭시키고 있다. 이렇듯 반도체 산업의 확장은 필연적으로 새로운 차원의 환경 문제를 야기하고 있다.

반도체 제조는 그 제조 과정에서 많은 양의 에너지, 물 및 화학 물질이 필요하기 때문에 매우 자원 집약적인 산업으로 알려져 있다⁵⁾. 집적 회로(IC: Integrated Circuit)의 생산을 통해 연간 1억 8,500만 톤의 CO₂ 배출이 발생하며, 이는 전 세계 탄소 발자국에 가장 큰 기여를 하는 제품 중 하나로 볼 수 있다⁶⁾. 반도체 제조에는 다양한 화학 물질이 사용되며, 이는 온실 가스 배출과 장기적인 환경 오염을 초래하고 있다. 또한 반도체 산업은 웨이퍼(Wafer, 단결정 규소 기판) 제조를 위해 대규모로 물을 소비하고 유해한 화학 폐기물을 생성하여 환경에 더 큰 부담을 주고 있다. 첨단 칩에 대한 수요가 증가함에 따라 반도체 생산의 지속 가능성 문제를 해결하는 것이 더 광범위한 기후 위기를 해결하는 데 있어 더욱 중요해지고 있다고 말할 수 있다.

이 보고서에서는 시뮬레이션된 다양한 지속 가능성 시나리오를 분석하고 리소그래피, 건식 식각 및 습식 공정을 포함하는 환경 영향성 저감 노력에 대한 실제 사례가 제시된다. 시뮬레이션은 탄소 발자국이 가장 높은 프로세스를 식별하여 효율적으로 그에 대한 개선 사항을 제안하는 데 도움이 될 수 있다(보고서에서는 예시로 imec에서 개발된 imec.netzero 모델

3) <https://www.semiconductors.org/global-semiconductor-sales-increase-19-1-in-2024-double-digit-growth-projected-in-2025/>

4) <https://www.pwc.com/gx/en/industries/technology/state-of-the-semicon-industry.html>

5) 광업, 제조업, 농업 및 건설 산업은 절대적으로 훨씬 더 많은 자원을 소비하지만, 생산된 칩의 단위 질량 당 탄소 배출량에 대해 살펴보면 칩의 집적도 만큼이나 탄소 배출의 밀도도 높음을 알 수 있음

6) 마찬가지로 절대적인 측면에서 전세계의 인류 활동에 의한 등가 탄소 발자국은(CO₂eq)~40Gton으로 추산되며, 이 중 반도체 칩 생산에 의한 탄소 발자국은0.4% 로 알려져 있다. 하지만 생산된 칩의 단위 부피 혹은 질량 당 탄소 발자국은 가장 높은 산업 중에 하나로 간주될 수 있음

사용). 모델링 결과와 실제 데이터의 비교를 통해 반도체 제조에서 탄소 및 유해 가스 배출, 물 사용 및 자원 소비를 줄일 수 있는 실행 가능한 전략이 제시될 수 있다.

II. 본론

① 가상 반도체 제조 공정 모사 기술의 발전

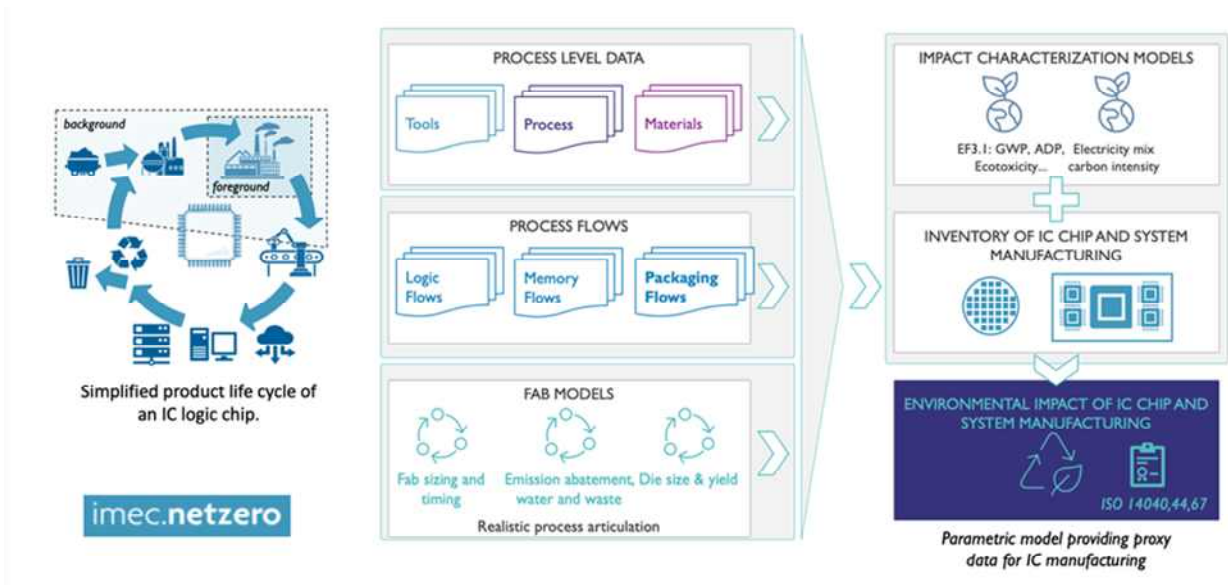
가상 반도체 제조 공정 시뮬레이션은 다양한 반도체 공정에 걸쳐 에너지 소비, 물 사용 및 온실 가스 배출과 같은 여러 요인을 평가하여 환경에 가장 큰 영향을 미치는 지점을 식별할 수 있는 정량적 접근 방식을 제공한다[그림1]. 이는 일반적인 대규모 반도체 생산 시설(팹, Fab)을 모사하는 가상 공장을 산정하여 친환경 에너지로의 전환, 물 재순환 개선 또는 공정 효율성의 최적화 같은 다양한 전략이 환경에 미치는 영향을 모델링할 수 있다. 사용되는 모델에 따라 단일 공정 수준까지 분석 데이터가 제공되므로, 현재 생산되는 제품뿐 아니라 차세대 제품에 대한 환경 영향성의 추세 예상 및 이에 대해 가장 큰 영향을 미치는 공정의 식별이 가능하게 된다. 이러한 데이터 기반 접근 방식은 일반 엔지니어로 하여금 효과적이고 전략적으로 반도체 제조 공정의 지속 가능성을 높이도록 하게 할 수 있다.

이러한 가상 반도체 제조 공정 모사는 현재 팹 환경에서 탄소를 비롯한 환경 가스의 배출을 여러 단계에서 분석할 수 있도록 개발되고 있으며, 실제 제조 시설 데이터를 바탕으로 실제 단위 공정이 진행되는 설비 수준까지로의 배출량 평가가 가능해지고 있다. 반도체 제조 업체의 경우, 분진 처리 수준과 냉각, 배출 전 유해 가스 파괴, 장비 공급 등과 같은 서비스를 제공하는 팹 지원 설비 수준까지 세분화된 데이터를 시뮬레이션에 도입한다면, 실제 공정, 그리고 공정 전/후처리 및 배후 운영의 모든 단계에서 반도체 제조 공정의 지속 가능성을 향상시킬 수 있다.

※ 이 보고서에서는 imec.netzero와 같은 전 과정 평가(Life Cycle Assessment: LCA) 모델이 어떻게 반도체 제조 공정에서 환경 가스의 배출을 줄이고, 자원 소비를 최적화하고, 화학 물질 사용을 최소화할 수 있는지를 소개하며, 궁극적으로는 기술 진보를 저해하지 않으면서 반도체 칩 생산의 지속 가능성을 높일 수 있는 실례에

대해 논의하고자 한다. 이 보고서의 모든 결과는 가상의 반도체 생산 시설에 대한 시뮬레이션으로서 독자는 수율, 부피, 설비 활용도, die 크기 등의 요인에 따라 그 산정치가 달라질 수 있다는 점을 유의하기 바란다.

<그림 1>



※ imec에서 개발한 imec.netzero 모델은 집적 회로 제조에 대한 포괄적인 수명 주기 분석을 통해 에너지 소비, 물 사용 및 화학 물질 배출과 같은 여러 환경 요인을 평가한다. 해당 모델은 칩 생산 공정과 공장 운영 측면을 모두 포함하여 환경 영향성이 큰 공정을 식별하고 효율적인 지속 가능성 전략을 제안할 수 있는 정량 데이터를 제공한다.

② Scope (범위) 별 탄소/가스 배출 분류

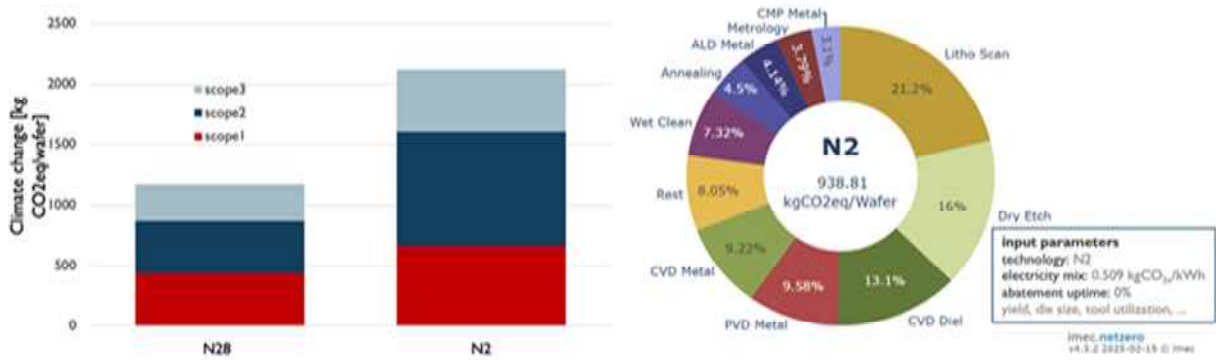
반도체 칩은 그 제조 과정에서 에너지, 공정용 가스 및 재료의 대량 사용으로 많은 온실 가스를 배출한다. 온실가스는 크게 반도체 칩 제조에 의한 직접 배출, 그리고 이를 위한 전기 소비 및 재료 생산으로부터 발생한다. 이에 대한 체계적 평가를 위해 위해 GHG(Green House Gas; 온실가스) 프로토콜은 온실가스 배출을 Scope 1(공정 가스의 직접 배출), Scope 2(칩 제조시 사용하는 전기로 인한 간접 배출) 및 Scope 3(칩 제조 시 사용되는 재료 및 설비 생산 단계에서의 배출)의 세 가지 범주로 분류한다. 가장 널리 사용되는 온실 가스 배출 표시 단위 중 하나로 등가 CO₂ (CO₂ eq; g, kg, ton 등의 질량 단위)를 들 수 있으며, 이는 다양한 반도체 공정이 환경에 미치는 영향을

비교할 수 있는 통합 지표로 사용되어 지속 가능성 향상 전략을 수립할 때 다른 종류의 환경 영향성을 한 가지 단위로 직접 비교가 가능하도록 한다.

③ 리소그래피 공정에서의 Scope 2 배출 및 그에 대한 해결책(예시)

반도체 기술이 발전함에 따라 칩을 제조하는 데 필요한 에너지는 계속 증가하는 추세에 있다. N28(28 nm) 과 N2(2 nm) 로직 노드를 사용한 반도체 칩 제조의 환경 영향성을 비교하면 첨단 N2 로직 노드는 웨이퍼당 약 2,100kg의 CO₂ eq를 발생시키며, 이 중 건식 식각 및 리소그래피로부터의 배출량은 전체의 40% 가량에 달하는 것으로 추산된다[그림2]. 단위 공정 수준의 분석을 보면 첨단 노광 설비의 높은 에너지 소비와 패터닝 단계의 복잡성 증가로 인해 기술 노드 발전에 따른 리소그래피 공정에서의 전력 소비 증가를 확인할 수 있다. 전력 소비에 따른 Scope 2 배출량은 전체 탄소 발자국의 45%에 달하며(N2 노드의 경우), 이에 따른 반도체 제조 과정에서의 효율적인 전기 소비 및 저탄소 배출 에너지 사용을 통해 전체 온실 가스 배출을 전략적으로 저감할 수 있음을 알 수 있다.

<그림 2>



※ N28 및 N2 로직 노드 간 온실가스 배출량 비교, 전력 소비로 인한 Scope 2 배출량의 증가가 확인됨. 시뮬레이션에 따르면 N2 로직 노드는 웨이퍼 당 약 2,100kg의 CO₂ eq를 배출하며, 건식 식각 및 리소그래피 공정으로부터 총 배출량의 40%가 발생한다.

극자외선 (EUV: Extreme Ultraviolet) 리소그래피로의 전환은 심자외선 (DUV: Deep Ultraviolet) 리소그래피 시 사용되는 다중 패터닝 사용을 저감하여 반도체 제조 과정에서 패터닝 관련 온실가스 배출을 줄이는 효과적인 전략으로 볼 수 있다. N7 로직 제품의 제조를 예로 들면, 리소그래피 공정을

DUV 193i(immersion 기반 193 nm 파장 광원 사용)로부터 EUV 기반 공정으로 전환을 통해 에너지 소비와 웨이퍼 당 온실가스의 직접 배출 감소를 통한 전체 배출량의 저감이 확인된다. 이러한 개선에도 불구하고 리소그래피는 반도체 제조 과정에서 가장 에너지 집약적인 단위 공정 중 하나로 남아 있어 여전히 온실가스 저감을 위한 추가적인 노력이 필요할 것으로 보인다.

리소그래피 공정에서 온실 가스 배출을 줄일 수 있는 방법으로 노광 시 주입하는 광량의 감소를 생각할 수 있는데, 이때 반도체 패터닝의 품질은 유지되어야 한다. 총 조사 광량을 줄이면 시간당 더 많은 웨이퍼를 패터닝할 수 있으며, 웨이퍼 당 총 에너지 소비 또한 줄어든다. imec의 경우, 감광제 재료 및 생산 조건 최적화를 통해 28 nm의 물리적 구조를 (N5 노드 해당) 패터닝하는 데에 18%의 선량을 저감할 수 있었다. 이와 같은 시도는 Scope 2 배출량을 줄일 수 있을 뿐 아니라 리소그래피 공정에 투입되는 재료의 소비 또한 줄일 수 있다.

④ 1차원적 배기가스 배출 저감 노력을 넘어서

Scope 1-3 분류는 온실가스 배출원을 체계적으로 구분하지만, 개별 공정 최적화가 환경에 미치는 영향에 대한 세부 정보를 모두 포함하지 않을 수 있다. 앞에서 살펴 본 리소그래피의 경우, 전력 소비로 인한 온실 가스의 Scope 2 배출을 줄이는 것뿐만 아니라 재료의 순환성 및 자원 고갈과 같은 요인도 환경 영향성의 평가에 통합적으로 고려되어야 한다. 따라서 온실가스의 직/간접 배출 외에도 재료 사용과 물 소비에 대한 통합 평가는 특히 에너지 사용, 화학 물질 선택 및 생산 속도 등의 인자들이 상호 의존적인 리소그래피와 같이 복잡한 공정의 경우 다양하고 실질적인 전략의 제시를 가능하게 한다.

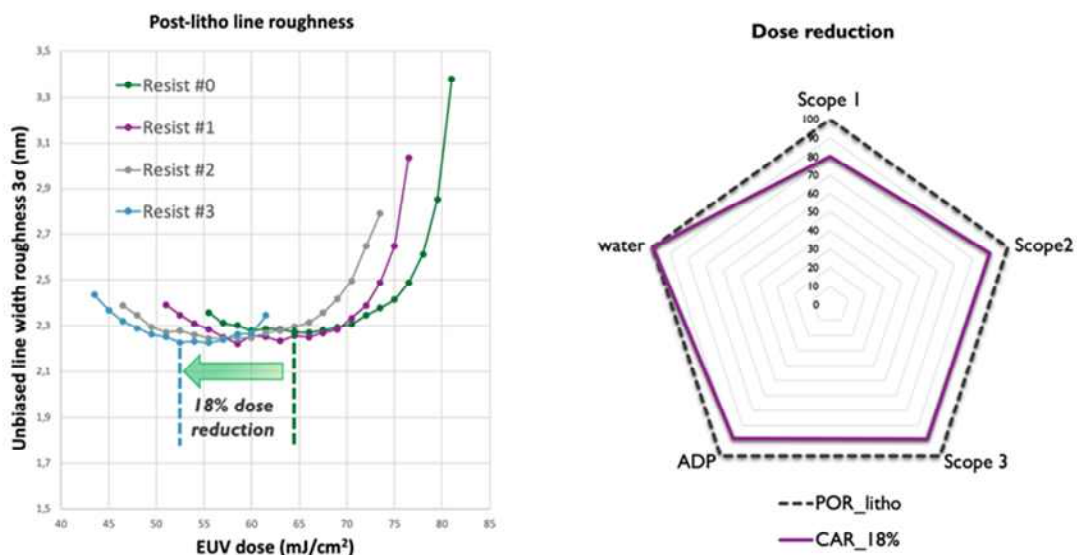
⑤ 레이더 다이어그램 형태의 환경 영향성 시각화

Scope에 따른 온실가스 추산에 더해 레이더 다이어그램은 환경 영향을 종합적으로 평가하고 다양한 공정 또는 기술의 영향성을 비교할 수 있도록 한다. imec의 경우 5개의 환경 영향 범주 (Scope 1, Scope 2, Scope 3, 재료 부족 [비생물적 고갈 지수(ADP: Abiotic Depletion Potential)] 및 물 소비량)를 레이더 다이어그램을 통해 단일 차트로 시각화할 수 있다. PFAS (per- 및 polyfluoroalkyl substances) 와 같은 다른 환경 요인 역시 상기 방법론에 통합되면 화학 물질에 의한 환경 위험성이 보다 포괄적으로

평가될 것으로 예상된다.

다시 한 번 리소그래피 광량 저감 케이스를 예로 들면, 18%의 EUV 선량 저감은 전기 소비와 관련된 Scope 2 온실 가스 배출 뿐 아니라 재료 소비 및 제조 라인에서의 직접적인 공정 가스의 배출도 줄여 준다[그림3]. 레이더 다이어그램을 사용하면 이러한 다차원적 효과를 직관적으로 시각화하며, 이로부터 통합 환경 영향성이 총 11% 감소한 것을 알 수 있다.

<그림 3>



※ 그림은 EUV 선량이 18% 더 낮음에도 불구하고 4개의 서로 다른 감광제 사용과 관계 없이 패턴된 선 너비의 거칠기가 비슷하게 유지됨을 보여주며, 최종 패턴링 품질에 큰 영향이 없음을 나타낸다. 스파이더 차트로부터 더 낮은 EUV 선량을 사용할 때의 이점을 정량화하여 환경에 미치는 영향이 총 11% 감소했음을 보여준다.

⑥ 건식 식각 공정에서의 Scope 1 배출 저감 노력

반도체 제조 공정에서 사용되는 에너지가 태양열, 풍력 등의 친환경 에너지원으로의 전환됨에 따라 전력 소비(Scope 2)로 인한 온실 가스의 배출은 감소하고 있다. 이에 따라 직접 가스 배출(Scope 1)은 반도체 제조에 의한 온실 가스 배출에 가장 크게 기여하고 있는 것으로 평가된다. N₂(2 nm) 로직 노드의 경우, 건식 식각 공정이 CF₄ 및 NF₃와 같은 GWP(Global

Warming Potential: 지구 온난화 지수) 가 높은 가스를 많이 사용하기 때문에 Scope 1 배출의 주원인으로 판단되고 있다. 유해 가스 저감 장치는 이러한 배출량을 최대 10배까지 줄일 수 있지만, CF₄의 경우 이러한 저감 공정에서 파괴 및 폐기 효율(DRE: Destruction and Removal Efficiency)이 낮기 때문에 여전히 환경 영향성 감소의 주요 과제로 남아 있다.

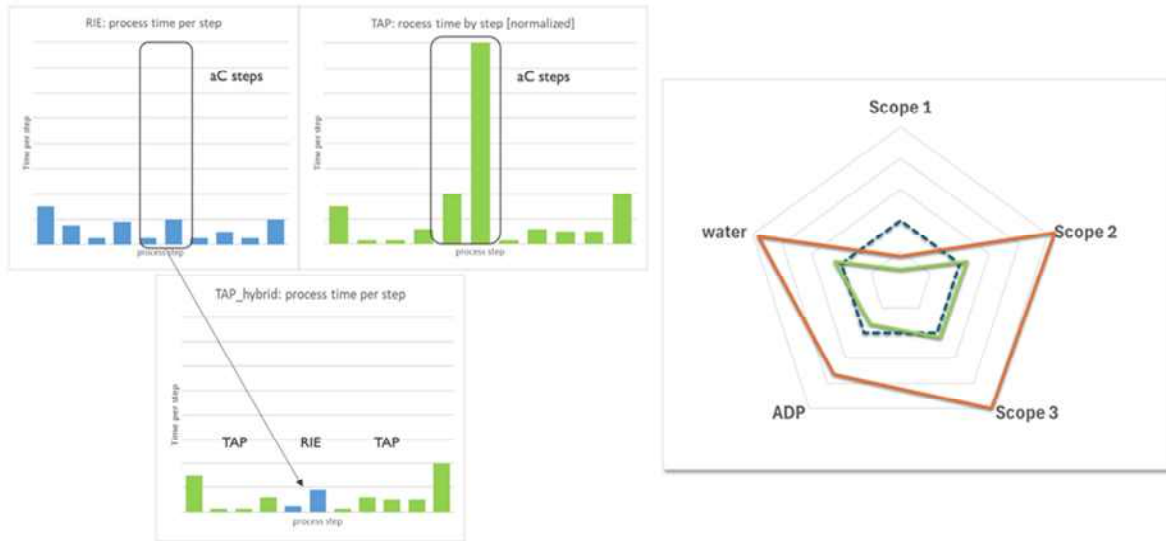
건식 식각 공정에서 온실 가스 배출량을 줄이기 위한 세 가지 일반적인 전략은:

- 배출 감소 계획 개선 - 가장 직관적인 해결책이지만 여전히 잔류 배출량 및 자체 에너지, 그리고 물질 발자국이 생성됨
- 공정 레시피 최적화 - 실제 공정에서 가스 소비를 줄일 수 있으며, 더 복잡하지만 효과적인 접근 방식
- GWP가 낮은 대체 가스로의 전환 - 개발에 대한 상당한 노력이 필요하지만 실질적으로 환경 영향성을 줄일 수 있는 장기적 해결책

레시피 최적화의 경우, 공정 가스 소비를 줄이는 새로운 건식 식각 기술인 TAP(Transient Assisted Processing, imec 개발)를 그 사례로 들 수 있다. 가스가 지속적으로 주입되는 기존의 반응성 이온 에칭 (RIE: Reactive Ion Etching)과 달리 TAP는 시간적으로 짧고 잘 제어된 가스 펄스를 사용하여 반응기의 잔류 가스를 보다 효율적으로 사용할 수 있게 한다. 하드 마스크 식각 공정에 적용된 TAP는 GWP가 높은 3 가지 가스 중 2 종류를 완전히 제거하고 기존 공정에 비해 CF₄ 소비를 98% 줄여 Scope 1 배출량을 크게 저감한 것으로 나타났다. 초기 환경 영향성 평가에서는 Scope 1 배출은 감소했지만 공정 시간이 길어짐에 따라 Scope 2 에너지 소비와 재료 사용량이 증가하여 총체적인 환경 영향성이 더 커지는 부효과가 관찰되었음에도, 최종적으로는 가장 두꺼운 피식각층에 TAP과 RIE를 결합하는 하이브리드 방식의 도입을 통해 GWP가 높은 가스의 소비를 줄이는 동시에 에너지 및 재료 소비의 증가를 줄일 수 있었다[그림4].

위의 사례로부터 지속 가능성에 대한 통합적 측정의 중요성을 확인 할 수 있다. Scope 1-3 분류로부터는 온실가스 배출원에 대한 식별이 가능하지만, 상기 건식 식각의 예시와 같이 환경 영향성에 대한 통합적 분석을 통해 특정 공정의 최적화가 다른 환경 범위로의 부하 이전으로 귀결되는 것이 아니라 실제 전반적 환경 영향을 저감시키는 데에 도움을 줄 수 있다.

<그림 4>



※ 하이브리드 TAP 공정은 RIE와 TAP 공정을 결합하여 두 종류의 고(高) GWP 가스를 제거하고 CF₄의 소비를 저감한다. 레이더 다이어그램으로부터 기존 RIE 공정(우측 그림 청색 점선) 및 순수 TAP 접근 방식과(같은 그림 갈색 실선) 비교하여 하이브리드 TAP 공정이 전반적으로 환경 영향성을 어떻게 저감시키는지 확인할 수 있다(녹색 실선).

⑦ 재료 소비 절감을 통한 Scope 3 배출 문제 해결

산업계 전반이 저탄소 에너지 전환을 실행하고, 효과적인 환경 가스 배출 저감 조치를 시행함에 따라 Scope 3로부터의 환경 가스 배출이 전체 탄소 발자국에서 더 큰 비중을 차지할 것으로 예상된다. 반도체 산업은 실리콘, 구리 및 희토류를 포함한 다양한 소재를 사용하며, 이 모든 물질에 대한 수요는 전자기기뿐 아니라 및 녹색 기술(풍력 터빈, 태양광 및 전기 자동차)에서 모두 증가하고 있다. 이러한 자재 수요는 에너지 집약적인 소재의 추출, 운송 및 가공 등으로 인해 Scope 3 배출에 기여하게 된다.

또한 반도체 제조 과정 자체에서 사용되는 대량의 화학 물질과 초순수(超純水) 역시 Scope 3에서의 환경 가스 배출을 증가시킨다. N2 로직 노드에 대한 시뮬레이션에 따르면 습식 공정에서의 자재 소비량이 가장 크며 (총 화학 물질 사용량의~50%/웨이퍼), 초순수의 경우도 유사한 것으로 나타난다. 따라서 습식 공정에서 물질 사용을 줄이는 것, 혹은 습식 공정의 건식

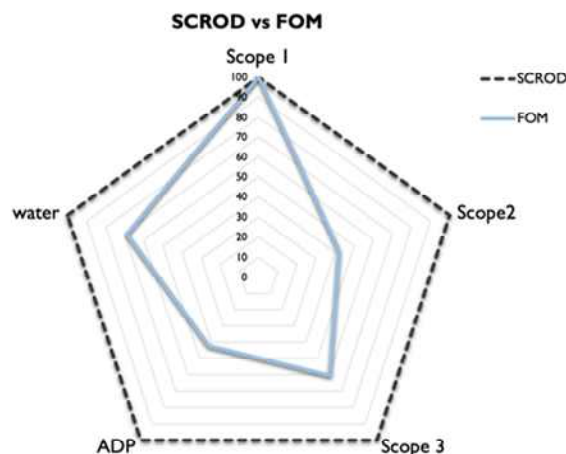
공정으로의 전환은 Scope 3 배출 저감에 기여할 수 있다.

예를 들어, 이전 공정으로부터의 잔여물 제거를 위한 웨이퍼 후면 세정은 통상적으로 SCROD (Sequential Cleaning using Repeated Ozone + Diluted HF; 오존수 및 희석된 HF를 반복적으로 사용하는 단일 웨이퍼 회전 세정) 방법을 사용하는데, 이 공정은 반도체 제조에서 30년 이상 사용되어 왔으며 산화 및 에칭이 주기적으로 반복된다. 이 공정은 웨이퍼 후면에 부착된 부산물 제거에 효과적이지만, 화학 물질과 초순수(UPW: Ultra-Pure Water)가 대량 소비되는 자원 집약적 특성을 가지고 있다.

이 문제 해결을 위해 imec의 경우 시간, 온도 및 화학 농도에 의해 제어되는 보다 효율적이며, 반복이 없는 단일 step의 자체 제한 공정인 O-ozonated Hydrofluorine Blend (FOM) 를 개발했다. 실험 결과 FOM 세척은 실리콘 손실, 입자 제거 및 표면 거칠기 측면에서 SCROD 공정과 유사한 성능을 달성한 것으로 나타났다. 이에 더해 물 소비를 절반으로 줄이고 세정 시간 단축을 통해 단위 시간당 세정되는 웨이퍼량이 증가하는 등 자원 소비를 크게 줄임으로써 지속 가능성을 향상시킬 수 있었다.

FOM의 도입은 Scope 3 배출 (화학 물질 및 물 사용 감소로 인해), Scope 2 배출 (에너지 소비 감소로 인해) 및 ADP (천연 자원 소비 감소로 인해) 를 포함한 다차원의 환경 영향성 개선을 가능하게 한다[그림 5].

<그림 5>



※ FOM은 SCROD보다 두 배 이상 공정 효율이 높지만, 세정 성능에 영향을 미치지 않는다. 또한 물의 사용을 절반으로 줄여 총 37%의 환경 저감 효과를 나타낸다.

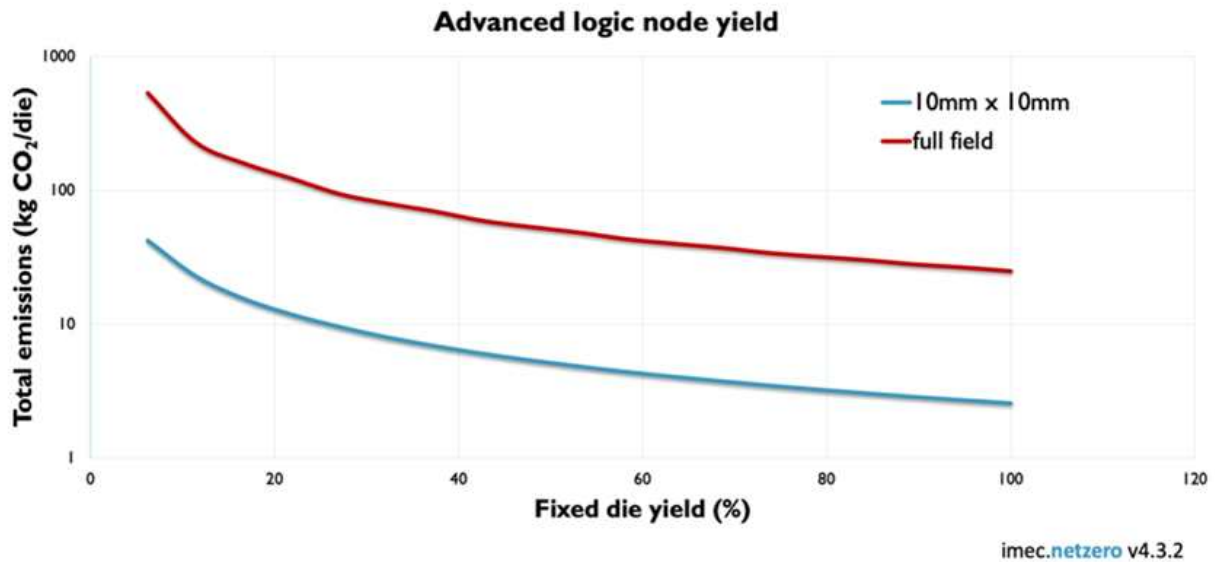
⑧ 순환 경제로의 전환: 재사용 및 재활용

소재의 절대적 사용을 줄이는 것 외에도 화학 물질을 재활용하거나 초정제수를 재사용하는 것과 같이 물질 소비의 순환성을 개선하면 제조 공정의 지속 가능성을 높이고 원자재 수급의 의존도를 낮출 수 있다. 반도체 공급망은 설비 및 하위 부품에 사용되는 원자재부터 공장, 외주 조립 및 최종 제품에서 소비되는 원자재에 이르기까지 여러 단계로 이루어져 있으며, 재료의 순환성을 개선하기 위해서는 각 단계별로 최적화된 해결책이 필요하다. 현장 회수 및 재사용, 현장 외 자재 회수 및 포장재 재활용 등의 실행을 통해 폐기물을 줄이고 자원을 보존하며 원자재에 대한 공급 압력을 완화하는 데 도움이 될 수 있다.

반도체 제조에서 재료의 순환성을 개선하면 제한된 자원 (구리, 코발트 및 희토류) 에 대한 수요를 완화하여 Scope 3 배출을 줄일 수 있다. 제조 과정에서 필수적인 재료를 재활용하고 재사용함으로써 사업자는 원자재의 추출 및 가공에 대한 부담을 줄여 자원 부족 문제를 해결하고 동시에 환경 가스 배출을 줄일 수 있다.

수율은 반도체 제조에 의한 탄소 발자국을 줄이는 데 가장 큰 영향을 주는 요소 중 하나이다. 예를 들어, 첨단 N2 로직 노드 칩의 수율이 2% 감소할 경우 약 42톤의 CO₂ eq가 배출되며, 이는 2023년 미국인 1인당 연 탄소 배출량의 3배에 해당한다. 지속 가능한 미래를 위한 목표 1인당 탄소 배출량을 연간 약 2톤으로 보기 때문에, 수율에 대한 관리는 반도체 제조 공정이 환경에 미치는 영향을 최소화하는 데 중요한 역할을 한다[그림6].

<그림 6>



※ 10 mm x 10 mm 크기의 로직 die와 전체 리소그래피 노출 필드(26 mm x 33 mm)에 해당하는 칩 크기에 따른 수율의 함수로 나타난 칩당 탄소 발자국. 수율은 반도체 제조에서 가장 중요한 관리 지표 중 하나로, 웨이퍼에서 생산되는 기능성 칩의 수에 직접적인 영향을 미친다. 수율이 높을수록 생산 공정이 더 효율적이고 칩당 환경에 미치는 영향이 적다는 것을 의미한다.

⑨ 반도체 산업의 지속 가능성에 대한 기회와 도전

지금까지 반도체 제조 과정에서 발생하는 환경 영향성을 줄이기 위한 몇 가지의 핵심 전략에 대해 살펴보았다. 첫째로는 공정 효율성을 개선하고 저탄소 에너지원으로 전환하는 것이 필수적이며, 둘째로는 기후 친화적인 공정의 개발과 재료 절약, 재사용 및 재활용 등을 통해 소재 공급의 지속 가능성을 강화할 수 있다.

그러나 이러한 변화에는 지불해야 할 비용이 존재한다. 이러한 진입 장벽을 낮추기 위해서 개발 초기부터 환경에 미치는 영향이 적은 공정을 도입하고 환경 영향성을 낮추는 새로운 접근 방식을 개발하기 위한 예산이 지원되어야 한다. 또 다른 과제는 다양한 공정이 환경에 미치는 영향에 대한 인식을 높여야 한다는 것인데, 이는 조직 전체에 환경 성과를 정량화하고 시각화하는 도구의 배포를 통해 이뤄질 수 있다.

환경적 측면 외에도 이러한 지속 가능성 향상을 위한 노력은 반도체 산업에 전반적으로 긍정적 영향을 미칠 수 있다. 예를 들어, 재료의 재활용 등을 늘리고 에너지 소비를 줄이면 반도체 제조의 운영 비용이 절감될 수 있다. 여기에 공정 시간 단축, 원자재 수급 절약, 자원의 보다 효율적인 사용으로 인해 재화의 낭비가 줄어들며, 또한 이에 동반한 수율 향상에 대한 노력은 비용 절감으로 직접 이어질 수 있다.

※ 참고 문헌

- SPIE Advanced lithography + Patterning conference (2025), Emily Gallagher, Plenary talk, "Transformation: Climate-Aware IC Manufacturing", 13424-6
- *SPIE Photomask Technology + EUV Lithography conference*(2024), Mihir Gupta, "*EUV dose reduction for pitch 28 nm line-space*"
- A., Fathzadeh, P., Bezard, et al. - Transient-Assisted Processing: the path to sustainable patterning - Manuscript in preparation
- SPIE Advanced lithography + Patterning conference (2025), D. De Simone et al., "Patterning performance of perfluoroalkyl substances (PFAS) free EUV chemically amplified resists: a step towards environmentally friendly lithographic chemicals", 13428-37

※ 본 자료는 반도체 칩 제조에 대한 환경 영향성 평가 및 그에 대한 저감 연구 동향에 대하여 Imec SSTS 벨기에 언론 소개 자료를 중심으로 imec 소속 한인 연구자가 작성